

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315499

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H01L 23/50  
B21D 28/00

(21)Application number : 04-121909

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.05.1992

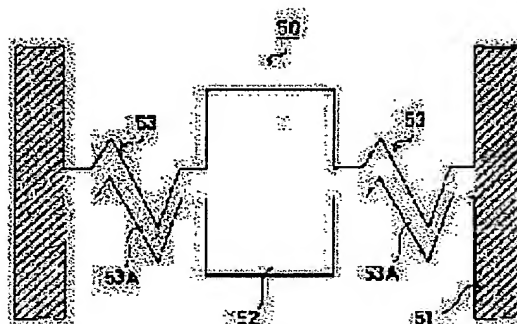
(72)Inventor : ONO YUKIMITSU

## (54) LEAD FRAME FOR SEMICONDUCTOR USE

### (57)Abstract:

**PURPOSE:** To provide a lead frame for semiconductor use, which does never generate a warpage even if a die pad is depressed.

**CONSTITUTION:** A lead frame 50 for semiconductor use, which has a frame 51, a die pad part 52 formed in the interior of this frame 51 and suspension pin parts 53 for coupling this die pad part 52 with the frame 51, is formed into a constitution, wherein the above suspension pin parts 53 are respectively provided with each of zigzag cushion parts 53A for absorbing the shrinkage force of the extended parts of the suspension pin parts 53, which is generated at the time of die pad depression.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-315499

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50	B	9272-4M		
	Q	9272-4M		
B 2 1 D 28/00	B	7425-4E		

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-121909

(22)出願日 平成4年(1992)5月14日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小野 如満

熊本県菊池郡西合志町御代志997 三菱電  
機株式会社熊本製作所内

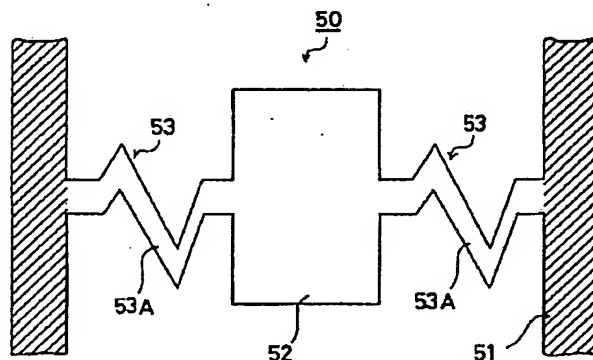
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体用リードフレーム

(57)【要約】

【目的】 ダイパッド沈めを行なっても反りを生じさせることのない半導体用リードフレームを提供する。

【構成】 フレーム枠51と、このフレーム枠51の内部に形成されたダイパッド部52と、このダイパッド部52と上記フレーム枠51を連結する吊りピン部53とを有する半導体用リードフレーム50において、ダイパッド沈め時に発生する吊りピン部53の伸張部の収縮力を吸収するジグザグ状のクッション部53Aを上記吊りピン部53に設けた。



50 : 半導体用リードフレーム

51 : フレーム枠

52 : ダイパッド部

53 : 吊りピン部

53A : クッション部

BEST AVAILABLE COP'

## 【特許請求の範囲】

【請求項1】 フレーム枠と、このフレーム枠の内部に形成されたダイパッド部と、このダイパッド部と上記フレーム枠を連結する吊りピン部とを有する半導体用リードフレームにおいて、ダイパッド部の沈め時に発生する吊りピン部の伸張部の収縮力を吸収するクッション部を上記吊りピン部に設けたことを特徴とする半導体用リードフレーム。

【請求項2】 フレーム枠と、このフレーム枠の内部に形成されたダイパッド部と、このダイパッド部と上記フレーム枠を連結する吊りピン部とを有する半導体用リードフレームにおいて、ダイパッド部の沈め時に発生する吊りピン部の伸張部の収縮力を吸収するクッション材によって上記吊りピン部を形成したことを特徴とする半導体用リードフレーム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体用リードフレームに関し、更に詳しくは、ダイパッド沈め後に発生するフレーム枠の湾曲変形を防止した半導体用リードフレームに関する。

## 【0002】

【従来の技術】 従来の半導体用リードフレームを図4～図8を参照しながら説明する。従来の半導体用リードフレーム10は、図4に示すように、フレーム枠11と、このフレーム枠11の内部に形成されたダイパッド部12と、このダイパッド部12と上記フレーム枠11とを連結する吊りピン部13とを有している。

【0003】 而して、上記半導体用リードフレーム10にICチップ等を取り付ける際には、図5に示すようにダイパッド部12を金型を用いてダイパッド部12をフレーム枠11よりも沈めてワイヤボンディングをしやすいようにする。このダイパッド沈めには、同図に示すように、フレーム枠11をストリッパ21で押え、この状態でパンチ22とダイ23でダイパッド部12を挟んでダイパッド部12を沈めると共に吊りピン部13を塑性変形させて、ダイパッド部12をフレーム枠11から所定深さ迄沈めるようにしている。

【0004】 このダイパッド沈め、ICチップの装着及びICチップのワイヤボンディングの過程を示したものが図6で、同図(a)に示す平坦な半導体用リードフレーム10のダイパッド部12を金型で沈めた後(同図(b)参照)、このダイパッド部12にICチップ30を接着し(同図(c)参照)、然る後、金線31によってICチップ30を金線31によってワイヤボンディングする(同図(d)参照)。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来の半導体用リードフレーム10は、吊りピン部13が他のフレーム枠11及びダイパッド部12と一体的に形成さ

れ、しかも直線状に形成されているため、ダイパッド沈め時に吊りピン部13が伸張して塑性変形させてダイパッド部12を沈め位置で固定するようにしているが、通常、この吊りピン部13はダイパッド沈め後、多少の弾性回復して収縮し、延いてはフレーム枠11を引っ張ってしまうという課題があった。尚、図8は図7に示す半導体用リードフレームの平面図である。

【0006】 本発明は、上記課題を解決するためになされたもので、ダイパッド沈めを行なっても反りを生じさせることのない半導体用リードフレームを提供することを目的としている。

## 【0007】

【課題を解決するための手段】 本発明の請求項1に記載の半導体用リードフレームは、ダイパッド沈め時に発生する吊りピン部の伸張部の収縮力を吸収するクッション部を上記吊りピン部に設けたものである。

【0008】 また、本発明の請求項2に記載の半導体用リードフレームは、ダイパッド沈め時に発生する吊りピン部の伸張部の収縮力を吸収するクッション材によって上記吊りピン部を形成したものである。

## 【0009】

【作用】 請求項1に記載の本発明によれば、金型を用いてダイパッド沈めを行なって吊りピン部が弾性回復することがあっても、そのクッション部で伸張部の収縮力を吸収して半導体用フレームを反らせることがない。

【0010】 また、請求項2に記載の本発明によれば、金型を用いてダイパッド沈めを行なって吊りピン部が弾性回復することがあっても、クッション材によって形成された吊りピン部全体で収縮力を吸収して半導体用フレームを反らせることがない。

## 【0011】

【実施例】 以下、図1～図3に示す実施例に基づいて本発明を説明する。尚、図1は本発明の半導体用リードフレームの一実施例の要部を拡大してを示す平面図、図2は本発明の半導体用リードフレームの他の実施例の要部を拡大してを示す平面図、図3は本発明の更に他の実施例の要部を拡大してを示す断面図である。

【0012】 本実施例の半導体用リードフレーム50は、図1に示すように、フレーム枠51と、このフレーム枠51の内部に形成されたダイパッド部52と、このダイパッド部52と上記フレーム枠51を連結する吊りピン部53とを有して構成されている。

【0013】 而して、上記吊りピン部53には、図1に示すように、ジグザグ状を呈するクッション部53Aが設けられている。そして、上記ダイパッド部52を金型によって所定の深さ迄沈める際に、上記吊りピン部53が塑性変形しながら伸張し、ダイパッド沈め時の伸張した吊りピン部53が金型を除去した後、この吊りピン部53が多少弾性回復しても、この弾性力に起因する収縮

力をジグザグ状のクッション部 53A の伸びによって吸収するように構成されている。

【0014】従って、本実施例によれば、ダイパッド沈め後に、吊りピン部 53 が弾性回復力を保持していても、この弾性力による吊りピン部 53 の収縮力を当該部に形成されたクッション部 53A で吸収してフレーム枠 51 に発生する張力を消失させてフレーム枠 51 を反らせることがなく、半導体素子を高精度に製造することができる。

【0015】また、図 2 は本発明の更に他の実施例の半導体用リードフレームを示す図で、本実施例の半導体用リードフレーム 60 は、同図に示すように、フレーム枠 61 と、このフレーム枠 61 の内部に形成されたダイパッド部 62 と、このダイパッド部 62 と上記フレーム枠 61 を連結する吊りピン部 63 とを有して構成されている。そして、上記吊りピン部 63 がダイパッド沈め時に発生する塑性変形した伸張部に残留する弾性回復力を収縮力を吸収して伸びる合成樹脂等のクッション材によって形成されている。

【0016】従って、本実施例によれば、ダイパッド沈め後に、吊りピン部 63 が弾性回復力を保持していても、この弾性力による吊りピン部 63 の収縮力を吊りピン部 53 自体で吸収してフレーム枠 61 間に発生する張力を消失させてフレーム枠 61 を反らせることがなく、半導体素子を高精度に製造することができる。

【0017】また、図 3 は本発明の他の実施例における半導体用フレームのダイパッド沈め後の断面を示している。本実施例の半導体用フレーム 70 は、同図に示すように、ダイパッド沈め時に、吊りピン部 73 に階段状を呈するクッション部 73A が形成されている以外は、上記実施例と同様に構成されている。即ち、本実施例では、吊りピン部 73 自体は従来と同様に形成されたものであっても、ダイパッド沈め時に金型によって階段状を呈するように吊りピン部 73 を成形するようにしたものである。

【0018】従って、本実施例によれば、階段状のクッション部 73A でダイパッド沈め時に発生した弾性力を吸収して上記各実施例と同様の作用効果を期することができる。

【0019】尚、本発明は、上記実施例に何等制限されるものでなく、吊りピン部が弾性力を吸収するように構成されたものであれば、本発明に包含される。

# 【0020】

【発明の効果】以上説明したように本発明の請求項 1 に記載の発明によれば、吊りピン部にクッション部を設けてダイパッド沈めで吊りピン部に残留する弾性力を吸収するようにしたので、ダイパッド沈めを行なっても反りを生じさせることのない半導体用リードフレームを提供することができる。

【0021】また、本発明の請求項 2 に記載の発明によれば、吊りピン部自体をクッション材で形成してダイパッド沈めで吊りピン部に残留する弾性力を吸収するようにしたので、ダイパッド沈めを行なっても反りを生じさせることのない半導体用リードフレームを提供することができる。

## 【図面の簡単な説明】

【図 1】本発明の半導体用リードフレームの一実施例の要部を拡大してを示す平面図である。

【図 2】本発明の半導体用リードフレームの他の実施例の要部を拡大してを示す平面図である。

【図 3】本発明の半導体用リードフレームの更に他の実施例の要部を拡大してを示す断面図である。

【図 4】従来の半導体用リードフレームの一例を示す平面図である。

【図 5】図 4 に示す半導体用リードフレームのダイパッド沈め動作を示す部分拡大図である。

【図 6】図 4 に示す半導体用リードフレームに IC チップを装着する過程を示す横方向の断面図であり、(a) はダイパッド沈め前の半導体用リードフレームを示す図、(b) はダイパッド沈め後の半導体用リードフレームを示す図、(c) はダイパッド部に IC チップを接着した状態を示す図、(d) は IC チップをワイヤボンディングした状態を示す図である。

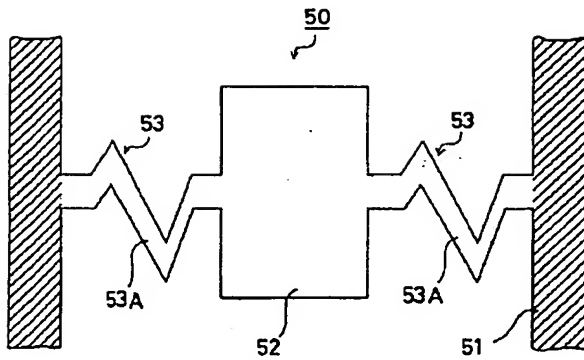
【図 7】ダイパッド沈めによって従来の半導体用リードフレームに反りが生じた状態を示す横方向の断面図である。

【図 8】図 7 に示す半導体用リードフレームの正面図である。

## 【符号の説明】

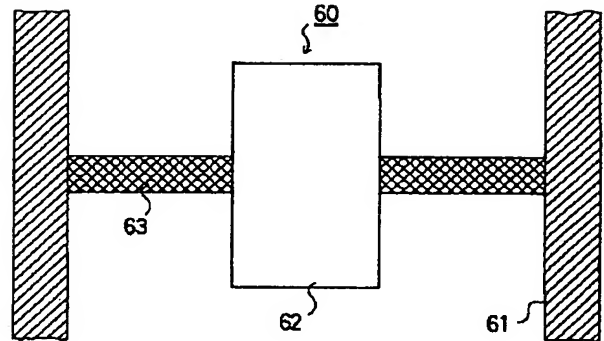
50、60、70 半導体用リードフレーム  
51、61、71 フレーム枠  
52、62、72 ダイパッド部  
53、63、73 吊りピン部  
53A、73A クッション部

【図1】



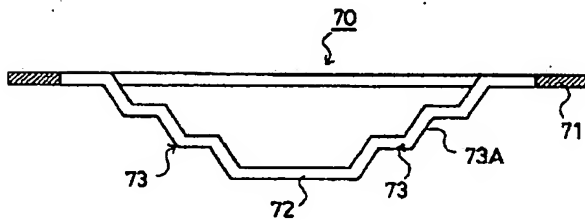
- 50 : 半導体用リードフレーム  
 51 : フレーム枠  
 52 : ダイパッド部  
 53 : 吊りピン部  
 53A : クッション部

【図2】



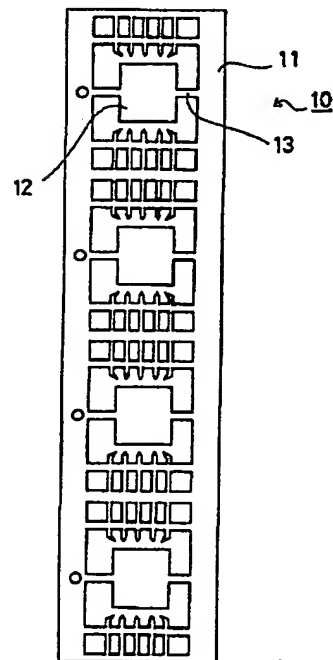
- 60 : 半導体用リードフレーム  
 61 : フレーム枠  
 62 : ダイパッド部  
 63 : 吊りピン部 (クッション材)

【図3】

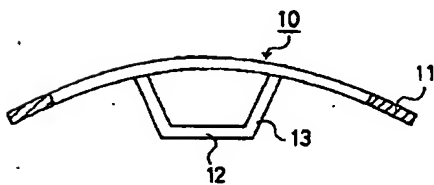


- 70 : 半導体用リードフレーム  
 71 : フレーム枠  
 72 : ダイパッド部  
 73 : 吊りピン部  
 73A : クッション部

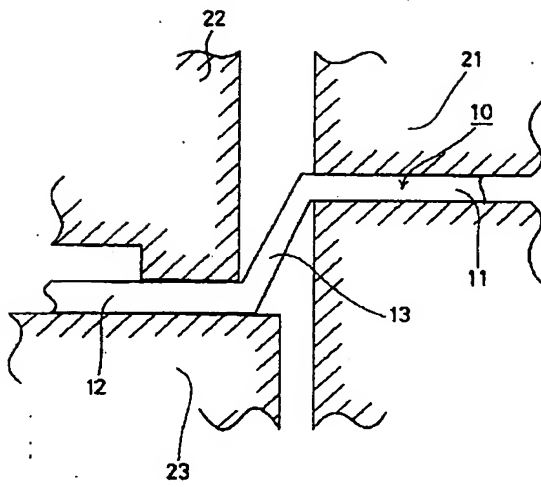
【図4】



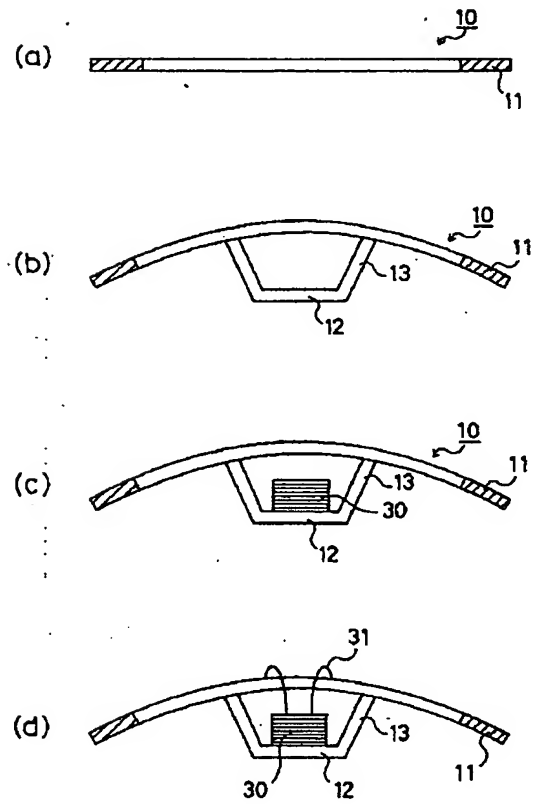
【図7】



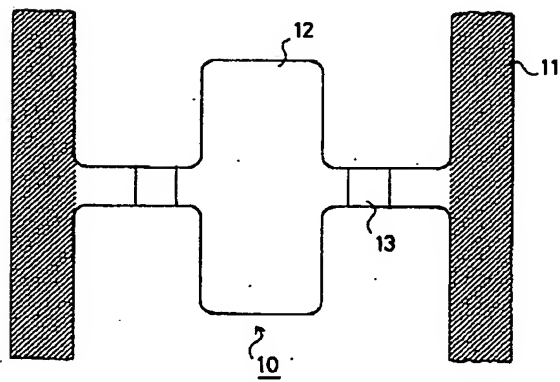
【図 5】



【図 6】



【図 8】



BEST AVAILABLE COP